

Storyline

1. LHCb & SciFi introduction mostly as before, but spend less time on the operation principle
2. Start with the electronics by saying that it is designed to handle the high readout rate and large number of channels
3. Focus a bit more on the PACIFIC by telling that I started my work at the SciFi by studying the properties of the (early versions of) the chip. When discussing the waveforms of the different stages I could mention the issue with spillover that we were facing. And probably I could already draw an S-Curve here and discuss the importance of trimming. Also, Blake suggested to draw the light yield distribution to highlight that even though we on average get large number of photoelectrons (about 20 per cluster), achieving a high efficiency also means that we have to catch the low light signals as well, i.e. we have to be able to precisely set the thresholds at low values FOR BOTH INTEGRATORS
4. Briefly describe the remaining components of the data chain (Cluster FPGA, Data GBTX) similar to yesterday
5. Highlight the modularity of the electronics: we have experts for each part, but I was the one putting it to work together. Further difficulty: DAQ system was still under heavy development as well. I am thinking about putting a photo of our test setup at Nikhef into the handout here.
6. At this point, I might also discuss the timing scans and the necessity for it
7. Head over to the 2018 testbeam (next step in upscaling the readout from 1 link at Nikhef to 32 data links). State the performance parameters (efficiency and resolution) only at this point. Maybe talk about pedestal stability.
8. Next step in upscaling: C-Frame commissioning (close to 400 data links per C-Frame). Talk about the control software that I have written for it. At this scale, everything has to be highly automated. Mention some other tests that we perform here (other than the S-Curves and timing scans that I have already discussed before)
9. Conclusion similar to yesterday: High quality electronics. It has been a long way to here (fighting nitty details in PACIFIC behaviour to operate the detector at a large scale at high stability). Software and tools were developed in the process and invaluable experience was gained for the currently starting operation of the detector

Notizen

LHCb

- 1 der 4 großen Experimenten am LHC am CERN
- 100m unter der Erde

- Spezialisiert auf Untersuchung von Zerfällen von bottom und charm Hadronen
- Geometrie leitet sich daraus ab: Vorwärtsspektrometer (10-300mrad) (s. Abb. 1)
- Kennzahlen nennen
 - Winkelbereich, Luminosität, Ausleserate (1MHz, Vergleich: pp Kollisionen alle 25ns also 40MHz)
- Upgrade ansprechen
 - Luminosität -> neue Tracking Systeme u.a. SciFi
 - Ausleserate -> neue Ausleseelektronik

SciFi

- Geometrie: 3 Stationen x 4 Lagen
- Fläche pro Lage: 6m x 5m
- Szintillierende Fasern vertikal, in 10-12 Modulen organisiert
- Faserdurchmesser: 250 μ m

Funktionsprinzip

- Pro Detektorlage 6 gestaffelte Reihen szintillierender Fasern
- Bei Interaktion mit el. geladenen Teilchen: Photonemission
- Bei geeignetem Winkel: Totalreflexion an Grenzfläche
 - Wird zum Ende der Faser geleitet
- Detektion mit Siliziumphotomultiplier (SiPM)
 - Geometrie Fasern nachempfunden: 250 μ m breit
 - 104 Pixel: parallel geschaltete Avalanche-Photodioden
 - Betrieb oberhalb der Durchbruchsspannung,
 - ◆ sodass durch den photoelektrischen Effekt erzeugte Elektronen-Loch Paare eine Ladungslawine auslösen, was zu einer kurzzeitig sehr hohe Verstärkung führt
 - Erlaubt Detektion von einzelnen Photonen
 - Light yield Kurve: Zwar im Mittel hohe Ausbeute (~20pe), Einsammeln der low-light Signale aber wichtig für hohe Effizienz!
 - ◆ Untergrund durch thermische Ladungsträgererzeugung im unteren Spektrum
 - Insgesamt 524 Kanäle, unterteilt in Arrays von 128 Kanälen

Ausleseelektronik / Ausleseketten

- Komplexe Ausleseketten nötig, um SiPM Signale zu digitalisieren, komprimieren und aufzubereiten
 - Wegen Vielzahl an Kanälen, sowie hoher Ausleserate (40MHz)
- Befindet sich 256 Ausleseboxen (Readout Boxes - ROBs) direkt hinter den SiPMs
- Modular aufgebaut, mehrere hintereinandergeschaltete Komponenten in der Ausleseketten

PACIFIC

- Erster Schritt der Kette: PACIFIC
- Integrierter Schaltkreis speziell für SciFi entwickelt
- Der Chip, mit dem ich in das SciFi Projekt eingestiegen bin
 - Designer zeitweise in Heidelberg "stationiert"
 - Charakterisierung des Chips
 - Vorantreiben verbesserter Versionen
- Verarbeitet analoges SiPM Signal und digitalisiert es
- In mehreren aufeinanderfolgenden Schritten
 - Transimpedanzverstärker
 - ◆ Wandelt Eingangsstrom in proportionale Ausgangsspannung um
 - Shaper (herausfiltern langsamer Anteile)
 - Integrator (besseres Signal zu Rauschen Verhältnis)
 - ◆ Zwei abwechselnde Integratoren zur Minimierung der Totzeit
 - Digitalisierung nicht mittels hochauflösendem ADC, sondern 3 Komparatoren (Kompression)
 - ◆ Herausforderung: Präzise Einstellung der Schwellenwerte nötig VOR Datennahme UND individuell für jeden Kanal
 - ◆ Kalibrierung mittels Light-Injection-System (LIS) -> Einstrahlung von Licht ohne ionisierende Strahlung
 - ◆ Scan über 8-bit Range, Setzen der Schwellen in den Plateaus (i.e. zwischen Peaks)
 - ◆ Erschwerend: Zwei Integratoren, die sich gleichen Komparator teilen (Trimming!)
 - ◆ ~~2017: 2 Wochen Testbeam mussten wiederholt werden, weil wir Trimming nicht richtig gemacht haben (Hysterese!)~~
 - ◆ Letztendlich 2-bit Output pro Kanal
- 10.2 Gbit/s pro 128 Kanäle (pro SiPM Array)

Cluster FPGA

- Datenstrom wird vom Cluster FPGA weiterverarbeitet
- Pulshöhe nicht die einzige Variable zur Trennung von Signal und Untergrund
 - Ausnutzung: Signale sind typ. über 2-3 Kanäle verteilt
- Bündelt Signale von benachbarten Kanälen zu Clustern
 - Lediglich die Position wird weitergegeben (berechnet aus gewichtetem Mittelwert)
- FPGA = Field Programmable Gate Array
 - Integrierter Schaltkreis, dessen Funktion noch nach Installation umprogrammiert werden kann
 - Hohe Flexibilität bei der Implementierung des Cluster-Algorithmus
- Reduktion der Datenrate von 10.2Gbit/s um mehr als 50% auf 4.5Gbit/s

Data GBTX

- Teil einer Chipsatzreihe, die am CERN entwickelt wurde
- Um schnelle optische Datenverbindungen in strahlungsbelasteter Umgebung zu ermöglichen
- Serialisiert die Daten und schickt sie über 300m Glasfaserkabel an das Rechenzentrum, das die Ereignisrekonstruktion durchführt
- 4.8Gbit/s (zusätzlicher Header für opt. Übertragung nötig)

Ausleseketten

- Detektor besteht aus 4096x der beschriebenen Ausleseketten
 - Gesamte Datenrate: 20Tbit/s (macht fast die Hälfte vom LHCb Detektor aus)
- So haben wir aber nicht angefangen: Verweis auf **Abb. 2** (eine Auslesekette)
- Experten für jeden Teil in Ausleseketten
- Aber: Ich hab maßgeblich daran gearbeitet, alles im Zusammenspiel zum Laufen zu bekommen

Erstes Testsetup

- Abb. 2
 - Erklären: Modularität
 - Kommunikation ebenfalls über opt. Verbindung (bi-direktional)
 - Zu der Zeit: Nur 1 Auslesekette bzw. eig. sogar nur handvoll Kanäle angeguckt
 - Wollten zum ersten Mal *irgendeine* S-Curve aufnehmen
- Eines der Probleme dabei: Takt-Domänen-Übergänge zwischen Komponenten
 - Timingscans!
 - Taktphasen müssen präzise eingestellt werden
 - Insbesondere wegen schneller Auslese, z.B. PACIFIC -> FPGA 320Mbit/s pro Signalspur (max. 3.1ns Fenster)
 - Mittels dynamischer Test-Bitmuster
 - Verweis auf **Abb. 3**
 - ◆ Intervalle für mehrere Kanäle
 - Varianzen zwischen verschiedenen PCBs, ASICs und sogar Kanälen relevant
 - ◆ Unterschiedliche Signallängen
 - ◆ Temperaturunterschiede
 - ◆ Leitfähigkeit an Steckverbindungen
 - ◆ Muss beobachtet werden bei zunehmender Bestrahlung (speed degradation)
 - In Anbetracht der Variationen: Fragestellung für späteren Betrieb
 - ◆ Kann Detektor bei gemeinsamen Einstellungen stabil betrieben werden?

- ◆ Würde Betrieb erheblich erleichtern

Testbeam SPS 2018

- Hochskalierung von 1 auf 32 Ausleseketten (150Gbit/s)
 - Leider nicht trivial
 - Auch weil DAQ noch in Testphase
 - Musste 2 Systeme gleichzeitig debuggen (war nicht klar welches Schuld ist bei Problemen)
- 4000 Kanäle
 - Hohe Maß an Automation erforderlich -> Software!
 - Betrieb der Elektronik -> Daten-nahme & analyse -> Schwellenwerte setzen (Kalibrierung)
- Auflösung von 65µm
- Hit-Effizienz: >99%

Test & Inbetriebnahme

- Im Anschluss an die Montage des Detektors
 - Aufgrund der Größe: wird in 12 Teilen, den sog. C-Frames, in Montagehalle auf dem LHCb Gelände zusammengebaut
 - Besteht aus 2 halben Lagen
 - Foto eines C-Frames in **Abb. 4 (links)**
- Knapp 400 Ausleseketten pro C-Frame
 - spätestens hier muss alles automatisiert ablaufen
 - Großteil des Kontrollsystems habe ich geschrieben (WinCC-OA)
 - Probleme mit DAQ hielten an (SciFi hat Entwicklung vorangetrieben aufgrund der hohen Datenrate)
- Systematisches Test & Inbetriebnahmeverfahren
 - 2 Wochen pro C-Frame
 - Anhand von **Abb. 4 (rechts)** erklären
 - Bevor es an Timingscans und Kalibration geht, viele grundlegende Tests
 1. Test der Kommunikation zu den einzelnen Komponenten
 2. Stabilität Optische Verbindungen
 1. Optische Leistung (insb. relevant für späteren Betrieb im LHCb Detektor - 300m Glasfaserkabel)
 2. Mapping (alle korrekt angeschlossen? nicht trivial bei mehreren hundert Verbindungen pro C-Frame)
 3. Einige tausende Sensoren pro C-Frame
 1. Spannungsversorgung wie erwartet (keine unbekanntem Widerstände durch unzureichende Steckverbindungen?)
 2. Gute Wärmekopplung zur Wasserkühlung?
 4. Ausleseketten
 1. Timingscans (s.o.)
 1. Sieht so aus, als wäre es (knapp) möglich den gesamten Detektor mit gemeinsamen Satz von Taktphasen zu

betrieben

2. Bitfehlerrate Messungen über mehrere Stunden ($BER < 10^{-15} \ll 10^{-12}$, die ursprünglich als akzeptabel festgelegt wurden)
 1. ~~Hauptproblem, aufgrund von Produktionsfehler in opt. Transceivern~~
 2. ~~Ca. 10 ROBs mussten repariert werden (von insg. 20)~~
 3. ~~Vorteil aufgrund von Modularität: Defekte Komponente konnte relativ einfach getauscht werden~~
 4. ~~Austausch in Montage deutlich einfacher als in der LHCB Kaverne~~
5. LIS Kalibrierung
 1. Letzte und wichtigste Messung: Prüfung der gesamten Auslekette von der Detektion von Photonen bis zum DAQ-System
 2. Sehen alle Kanäle Licht?
 3. Insgesamt nur 10 tote Kanäle -> entspricht >99,99% funktionierender Kanäle

Zusammenfassung

- Insgesamt sehr hohe Qualität der Ausleseelektronik
 - Sichergestellt durch systematisches Test- und Inbetriebnahmeverfahren
 - Auch schon im Vorhinein auf dem Level der individuellen Komponenten während der Produktion
 - Mussten zwar insgesamt ca. 20 ROBs austauschen, allerdings gut möglich da in Montagehalle und durch Modularität
- War ein langer Weg bis dahin
 - Vom Verständnis der individuellen Chips bis zum Betrieb im großen Maßstab
 - Alles muss genau verstanden sein und automatisch ablaufen
- Neben Software und Tools entwickelt und viel Erfahrung für den späteren Betrieb gesammelt, der gerade anläuft